

(19) 대한민국특허청(KR)  
 (12) 공개특허공보(A)

(51) Int. Cl.  
 G11C 7/10

(11) 공개번호 10-2004-0052006  
 (43) 공개일자 2004년06월19일

(21) 출원번호	10-2002-0079722
(22) 출원일자	2002년12월13일
(71) 출원인	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	강희복 대전광역시서구도마2동경남아파트 109-203
(74) 대리인	이후동, 이정훈

설사설구 : 있음

**(54) 입출력 대역폭을 조절할 수 있는 메모리 장치**

**요약**

본 발명에 의한 입출력 대역폭을 조절할 수 있는 메모리 장치는 각각 복수개의 데이터 비트를 입출력 할 수 있는 복수개의 입출력 포트와 일대일로 연결된 복수개의 데이터 입출력 버퍼, 상기 복수개의 데이터 입출력 버퍼와 복수개의 센스앰프 어레이를 일대일로 연결하는 복수개의 스위치를 포함하는 스위치 어레이, 및 소정의 개수의 외부 제어신호를 디코딩하여 상기 각각의 데이터 입출력 버퍼의 활성화 여부 및 상기 스위치 어레이에 포함된 복수개의 스위치의 온오프를 제어하는 스위치 제어부를 포함한다.

**도표도**

**도4**

**양세서**

**도면의 간단한 설명**

- 도1은 강유전체 커패시터의 특성을 나타내는 히스테리시스 곡선.
- 도2는 종래의 기술에 의한 강유전체 메모리 셀 구성도.
- 도3은 종래의 기술에 의한 강유전체 메모리 셀의 동작 타이밍도.
- 도4는 본 발명에 의한 메모리 장치의 구조를 나타내는 블록도.
- 도5는 본 발명에 의한 셀 어레이 블록의 구성도.
- 도6은 본 발명에 의한 메인 비트라인 클럽 제어부의 구성도.
- 도7은 본 발명에 의한 메인 비트라인 부하 제어부의 구성도.
- 도8은 본 발명에 의한 칼럼 선택 제어부의 구성도.
- 도9는 본 발명에 의한 서브 셀 블록의 구성도.
- 도10은 본 발명에 의한 메모리 장치의 셀의 리드 라이트 동작시 타이밍도.
- 도11은 본 발명에 의한 데이터·입출력 버퍼의 팬 배치도.
- 도12는 본 발명에 의한 스위치 어레이 및 입출력 버스의 구성도.
- 도13은 본 발명에 의한 스위치 어레이의 상세 구성도.
- 도14는 본 발명에 의한 센스앰프 어레이 및 칼럼 디코더의 상세 구성도.
- 도15는 본 발명에 의한 스위치 제어신호·발생회로의 구성도.
- 도16은 본 발명에 의한 스위치 제어부의 구성도.

**발명의 상세한 설명**

**발명의 목적**

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서 특히 다양한 종류의 데이터 입출력 대역폭을 갖는 시스템과 호환이 가능한 반도체 메모리 장치에 관한 것이다.

본 발명의 일실시예인 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 DRAM(Dynamic Random Access Memory) 정도의 데이터처리 속도를 갖고 전원의 오프(Off)시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.

FeRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로써 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는 것이다.

도1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 것이다. 도1에서와 같이 전계에 의해 유기된 분극은 전계를 제거하더라도 잔류 분극(또는 자활 분극)의 존재로 인하여 소멸되지 않고 일정량(d, a 상태)을 유지하고 있는 것을 알 수 있다. 강유전체 메모리 셀은 d, a 상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.

도2는 종래 기술에 의한 강유전체 메모리의 단위 셀을 나타낸 것이다. 도2에 도시된 바와 같이 일방향으로 비트라인(BI)이 형성되고, 비트라인과 교차하는 방향으로 워드라인(WL)이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(PL)이 형성되고, 게이트는 워드라인에 연결되고 소스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고 두 단자 중 제1 단자가 트랜지스터(T1)의 드레인에 연결되고 제2 단자는 플레이트 라인에 연결되도록 강유전체 캐패시터(FC1)가 형성된다.

도3은 종래 기술에 의한 강유전체 메모리 소자의 데이터 입출력 동작을 나타낸다. 도3a는 강유전체 메모리 소자의 라이트 모드(Write Mode)의 동작을 나타내는 타이밍도이고, 도3b는 리드 모드(Read Mode)의 동작을 나타내는 타이밍도이다.

도3a에 도시된 라이트 모드의 동작을 설명하면, 외부에서 인가되는 칩 인에이블 신호(CS<sub>Bpad</sub>)가 하이(High)에서 로우(Low)로 활성화되고, 동시에 라이트 인에이블 신호(WEB<sub>Bpad</sub>)를 하이에서 로우로 인가하면 라이트 모드가 시작된다. 이어 라이트 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 '로우'에서 '하이'로 천이되어 셀이 선택된다.

선택된 셀에 로직값 '1'을 쓰기 위해서는 비트라인에 '하이' 신호를 인가하고 플레이트 라인에는 '로우' 신호를 인가하고, 셀에 로직값 '0'을 쓰기 위해서는 비트라인에 '로우' 신호를 인가하며 플레이트 라인에는 '하이' 신호를 인가한다.

다음에는 도3b에 도시된 리드 모드의 동작을 설명한다. 외부에서 칩 인에이블 신호(CS<sub>Bpad</sub>)를 '하이'에서 '로우'로 활성화시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이벨라이즈 신호에 의해 '로우' 전압으로 동전위가 된다.

그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 '로우' 신호가 '하이' 신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 '하이' 신호를 인가하여 강유전체 메모리에 저장된 로직값 '1'에 상응하는 데이터(Qs)를 파괴한다. 만약 강유전체 메모리에 로직값 '0'이 저장되어 있다면 그에 상응하는 데이터(Qhs)는 파괴되지 않는다.

이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되며 센스앰프는 로직값 '1' 또는 '0'을 감지하게 된다. 즉 데이터가 파괴된 경우는 도1의 히스테리시스 루프에서처럼 d에서 a로 변경된 경우에 해당하고, 데이터가 파괴되지 않은 경우는 a에서 d로 변경되는 것에 해당한다.

따라서 일정시간이 경과한 후에 센스앰프가 인에이블 되면 데이터가 파괴된 경우는 증폭되어 로직값 '1'을 출력하고, 데이터가 파괴되지 않은 경우에는 증폭되어 로직값 '0'을 출력한다. 이와 같이, 센스 앰프에서 데이터를 증폭한 후에는 원래의 데이터를 복원하여야 하므로 해당 워드라인에 '하이' 신호를 인가한 상태에서 플레이트 라인을 '하이'에서 '로우'로 비활성화시킨다.

종래의 메모리 장치에서는 하나의 어드레스에 의해 접근되는 수 비트 또는 수 바이트 단위의 데이터를 모두 데이터 입출력 버퍼를 통해 출력하고, 시스템에서는 이를 수 비트 또는 수 바이트 단위의 데이터를 모두 시스템 버스에 로드하였다. 만일 시스템에서 실제로 필요한 부분이 수 비트 또는 수 바이트 중 일부 비트에 불과한 경우 일부 비트를 제외한 나머지 비트들을 위해 버스를 구동하는데 에너지를 낭비할 뿐만 아니라, 다른 목적을 위해 사용할 수 있는 시스템 버스의 대역폭까지 낭비하게 되는 문제가 발생한다.

또한 종래의 메모리 장치는 메모리 입출력 데이터 폭이 고정되어 있었다. 일반적으로 시스템은 제조사에 따라서 다양한 데이터 폭을 가진다. 따라서 종래의 메모리 장치를 다양한 시스템에서 사용하기 위해서는 시스템 별로 별도의 인터페이스 장치를 필요로 하였다.

#### **본명이 이루고자 하는 기술적 조치**

위와 같은 종래기술의 문제점을 해결하고자 본 발명은 입출력 데이터의 대역폭을 제어하는 기능을 구비한 메모리 장치를 제공하는 것을 목적으로 한다.

#### **본명의 구성 및 작동**

본 발명에 의한 입출력 대역폭을 조절할 수 있는 메모리 장치는 각각 복수개의 데이터 비트를 입출력할 수 있는 복수개의 입출력 포트와 일대일로 연결된 복수개의 데이터 입출력 버퍼, 상기 복수개의 데이터 입출력 버퍼와 복수개의 센스앰프 어레이를 일대일로 연결하는 복수개의 스위치를 포함하는 스위치 어레이, 및 소정의 개수의 외부 제어신호를 디코딩하여 상기 각각의 데이터 입출력 버퍼의 활성화 여부 및 상기 스위치 어레이에 포함된 복수개의 스위치의 온오프를 제어하는 스위치 제어부를 포함한다.

미하에서는 첨부한 도면을 참조로 본 발명의 실시예에 대하여 상세히 설명한다.

도4는 본 발명의 일실시예에 의한 라이트 보호 영역을 구비한 강유전체 메모리 장치의 구성을 나타내는 블록도이다. 본 발명에 의한 메모리 장치는 셀 어레이 블록(100), 상기 셀 어레이 블록(100)에 포함된 메인 비트라인을 양의 전압으로 풀업시키는 메인 비트라인 풀업제어부(11), 상기 메인 비트라인을 데이터버스부(21)와 연결시키는 칼럼 선택 제어부(12), 데이터버스부(21)와 연결된 센스앰프 어레이(30), 센스앰프 어레이(30)를 제어하는 스위치 어레이(400), 센스앰프 어레이(30)와 데이터를 주고받는 데이터 입출력 버퍼(500)를 포함한다. 또한 스위치 어레이(400)를 제어하는 칼럼 디코더(200), 스위치 어레이(400) 및 데이터 입출력 버퍼(500)를 제어하는 스위치 제어부(300)를 포함한다. 각 구성부분에 대한 설명은 아래를 참조한다.

도5는 본 발명에 의한 메모리 장치에 포함된 셀 어레이 블록(100)의 상세 블록도이다. 셀 어레이 블록(100)에는 복수개의 메인 비트라인 부하 제어부(13)와 복수개의 서브 셀 블록(110)이 포함된다. 메인 비트라인 부하 제어부(13)는 하나 또는 복수개가 포함된다.

도6은 본 발명에 의한 메인 비트라인 풀업 제어부(11)의 구성을 나타낸다. 메인 비트라인 풀업 제어부(11)는 게이트에 제어신호 MBLUC가 입력되고 소스가 양의 전원 VPP(VCC)에 연결되며 드레인이 메인 비트라인 MBL에 연결된 PMOS 트랜지스터로 구성된다.

메인 비트라인 풀업 제어부(11)는 프리차지 동작에서 메인 비트라인 MBL을 양의 전압 VPP(VCC)로 풀업한다.

도7은 본 발명에 의한 메인 비트라인 부하 제어부(13)의 구성을 나타낸다. 메인 비트라인 부하 제어부(13)는 게이트에 제어신호 MBLC가 입력되고 소스가 양의 전원 VPP(VCC)에 연결되며 드레인이 메인 비트라인 MBL에 연결된 PMOS 트랜지스터로 구성된다.

메인 비트라인 부하 제어부(13)는 양의 전원과 메인 비트라인 MBL 사이에 연결된 저항성 소자로서, 데이터 감지 동작시 메인 비트라인 부하 제어부(13)를 통해 흐르는 전류의 크기에 따라 메인 비트라인의 전위를 결정하게 된다.

메인 비트라인 부하 제어부(13)는 하나 또는 둘 이상이 하나의 메인 비트라인 MBL에 연결된다. 둘 이상의 메인 비트라인 부하 제어부(13)가 연결되는 경우에는 일정한 개수의 서브 셀 블록(110)마다 하나씩 균일하게 배치된다.

도8은 본 발명에 의한 칼럼 선택 제어부(12)의 구성을 나타낸다. 칼럼 선택 제어부(12)는 메인 비트라인 MBL과 데이터버스를 연결하는 스위치로서 제어신호 CSN 및 CSP에 의하여 운오프가 제어된다.

도9는 본 발명에 의한 서브 셀 블록(110)의 구성을 나타낸다.

서브 셀 블록(110)은 각각 워드라인(WL<m>) 및 플레이트 라인(PL<n>)에 연결된 복수개의 단위 메모리 셀에 공통으로 연결된 서브 비트라인 SBL, 게이트에 서브 비트라인 SBL의 제1단이 연결되고 드레인이 메인 비트라인 MBL에 연결된 전류 조절용 NMOS 트랜지스터 N1, 게이트에 제어신호 MBSW가 연결되고 드레인이 전류 조절용 NMOS 트랜지스터 N1의 소스에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터 N2, 게이트에 제어신호 SBPD가 연결되고 드레인이 서브 비트라인 SBL의 제2단에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터 N3, 게이트에 제어신호 SBSW2가 연결되고 소스가 서브 비트라인 SBL의 제2단에 연결되고 드레인이 제어신호 SBPU에 연결되는 NMOS 트랜지스터 N4; 및 게이트에 제어신호 SBSW1이 연결되고 드레인이 메인 비트라인 MBL에 연결되고 소스가 서브 비트라인 SBL의 제2단에 연결되는 NMOS 트랜지스터 N5로 구성된다.

소정의 단위 셀에 접근하는 경우에 해당 단위 셀이 연결된 서브 비트라인 SBL만이 메인 비트라인 MBL과 연결된다. 이때 서브 비트라인 SBL과 메인 비트라인 MBL은 NMOS 트랜지스터 N5에 의해 연결된다. 따라서 메인 비트라인 MBL의 구동부하는 하나의 서브 비트라인 SBL의 구동부하 수준으로 줄어든다.

서브 비트라인 SBL은 SBPD 신호가 활성화되면 전위가 그라운드 레벨로 절정된다. SBPU 신호는 서브 비트라인 SBL에 공급할 전원 전압을 조정하는 신호이다. SBSW1, SBSW2는 SBPU와 서브 비트라인 SBL 사이의 신호 흐름을 조정하는 제어 신호이다.

서브 비트라인 SBL은 NMOS 트랜지스터 N1의 게이트에 연결되어 메인 비트라인 MBL의 센싱 전압을 조절한다. 메인 비트라인 MBL은 메인 비트라인 부하 제어부(13)를 경유하여 VPP(VCC)와 연결된다. 제어신호 MBSW가 '하이'가 되면 양의 전원으로부터 메인 비트라인 부하 제어부(13), 메인 비트라인 MBL, NMOS 트랜지스터 N1, 및 NMOS 트랜지스터 N2를 거쳐 그라운드로 전류가 흐르게 된다. 이때 흐르는 전류의 크기는 NMOS 트랜지스터 N1의 게이트에 제공되는 서브 비트라인 SBL의 전압에 의하여 결정된다. 만일 셀의 데이터가 '1'이라면 전류의 양이 커져서 메인 비트라인 MBL의 전압은 작아지고, 셀의 데이터가 '0'이라면 전류의 양이 작아져서 메인 비트라인 MBL의 전압은 높아진다. 이때 메인 비트라인 MBL의 전압과 레퍼런스 전압을 비교함으로써 셀 데이터를 감지할 수 있게 된다. 셀 데이터 감지는 센스 앤프 어레이(30)에서 수행된다.

도10a는 도9에 도시된 서브 셀 블록의 라이트 타이밍도이다.

t1 구간에서 어드레스가 천이하면 ATD(Address Transition Detection) 신호에 의하여 칩이 라이트 동작을 개시한다.

t2, t3 구간은 워드라인 WL과 플레이트 라인 PL을 활성화하여 셀의 신호를 감지하는 구간이다. 셀의 데이터가 '하이'이면 서브 비트라인 SBL의 전압이 상승하여 NMOS 트랜지스터 N1에 흐르는 전류가 커지고 레퍼런스 레벨보다 메인 비트라인 MBL의 전압이 낮게 된다. 반대로 셀의 데이터가 '로우'이면 서브 비트라인 SBL의 전압이 하강하고 NMOS 트랜지스터 N1에 흐르는 전류가 작아져 레퍼런스 레벨보다 메인 비트라인 MBL의 전압이 높게 된다.

t4 구간은 SBSW2를 '하이'로 하여 셀프 부스팅을 준비하는 구간이다. 셀프 부스팅에 대해서는 아래에서 설명하기로 한다. t5 구간은 '하이' 레벨을 라이트하는 구간이다. SBSW2가 '하이'인 상태에서 SBPU를 '하이'로 하면 SBSW2, 워드라인  $\overline{PL}$ , SBL이 '하이'로 구동된다. 이때 이를 신호의 전압 레벨은 셀프 부스팅에 의하여 VPP이상이 된다. 본 구간에서는 워드라인  $\overline{PL}$ 이 '하이', 비트라인 SBL이 '하이', 및 플레이트 라인 PLI '로우'이므로 셀에 자연스럽게 '1'이 기록된다.

t6 구간은 '로우' 레벨을 라이트하는 구간이다. 제어신호 SBPD, SBSW2를 비활성화하고, SBSW1을 활성화하면 메인 비트라인 MBL에서 제공된 '0'이 서브 비트라인 SBL에 제공된다. 이때 플레이트 라인 PL의 전압은 '하이'이므로 셀에는 '0'이 기록된다. 만일 비트라인에서 제공된 신호가 '1'이라면 플레이트 라인 PL의 전압도 '하이'이고 서브 비트라인 SBL의 전압도 '하이'이므로 셀의 데이터는 변하지 않고 t5 구간에서 기록된 '1'이 유지된다.

참고로 멀티 비트 셀을 구현하는 경우에는 초기 셀 저장 노드의 상태를 안정시켜 센싱 마진을 확장시키기 위해 워드라인  $\overline{PL}$ 을 t2 구간에서 활성화시키고 플레이트 라인 PL을 t3에서 활성화시킴으로써 워드라인을 플레이트 라인보다 먼저 활성화시킨다. 또한 t2 구간에서 SBPD를 계속 '하이' 상태로 하여 셀의 데이터를 '0'으로 초기화한다. 초기화를 끝난 후 SBPD를 '로우'로 비활성화하고, 플레이트 라인 PL을 '하이'로 한다. 반대로 t6 구간에서 '0'을 기록한 이후에는 워드라인  $\overline{PL}$ 을 t7 구간에서 비활성화시키고, 플레이트 라인 PL을 t8에서 비활성화시킴으로써 플레이트 라인 PL보다 일정시간 먼저 워드라인  $\overline{PL}$ 을 비활성화시킨다.

도10b는 도9에 도시된 서브 셀 블록의 리드 동작에 관한 것이다.

t2 내지 t6 구간의 동작은 도10a에 대하여 설명한 바와 같다. 단지 리드 동작에서는 센스앰프(도시되지 않음)에서 감지한 데이터를 외부로 출력하는 점이 다를 뿐이다.

t5 및 t6 구간에서는 리스트모어 동작을 수행한다. 리스트모어 동작에서는 센스앰프(도시되지 않음)에서 감지하고 저정한 셀 데이터를 다시 셀에 기록하는 동작으로서 센스앰프에 저정되었던 데이터는 비트라인을 통하여 셀에 제공되므로 라이트 동작과 유사하다. 라이트 동작에서와 마찬가지로 t5 구간에서는 셀에 '1'이 자연스럽게 기록된다. t6 구간에서 비트라인에 '0'이 제공되면 '0'이 기록되고, 비트라인에 '1'이 제공되면 t5에서 기록된 '1'이 유지된다.

도11a 내지 도11d는 본 발명의 입출력 패널 설정과 관련된 블록의 일상시예를 나타내는 구성도이다.

도11a에서 DQ\_0 내지 DQ\_15는 데이터 입출력 패드이다. 데이터 입출력 패드는 데이터 입출력 버퍼(500)와 연결된다. 데이터 입출력 버퍼(500)는 하위 바이트 영역(510)과 상위 바이트 영역(520)으로 구분된다. DQ\_0 내지 DQ\_7은 하위 바이트 영역(510)에 연결되고 DQ\_8 내지 DQ\_15는 상위 바이트 영역(520)에 연결된다. 상위 바이트에 속하는 비트 중에 DQ\_15는 A\_LSB 신호로 사용되어 스위치 제어부(300)에 제공된다. A\_LSB 신호는 상위 바이트 영역이 사용되지 않는 모드에서 상위 바이트에 해당하는 데이터를 하위 바이트 영역으로 전환하기 위해 사용하는 신호이다.

도11b는 기본적으로 도11a와 동일한 구성을 갖는다. 다만 A\_LSB 신호가 상위 바이트에 속하는 임의의 비트(DQ\_8 내지 DQ\_14)에서 제공되는 점이 다르다.

도11c에 도시된 실시예는 도11a 및 도11b에 도시된 실시예와는 달리 복수개의 상위 바이트 영역을 갖는다. 각각의 상위 바이트 영역에서는 A\_LSB에 대응하는 A<sub>n</sub>\_LSB 내지 A<sub>m</sub>\_LSB가 존재한다. 이들은 각각의 상위 바이트 영역에 존재하는 최상위 비트에서 출력된다.

도11d는 기본적으로 도11a와 동일한 구성을 갖는다. 다만 A<sub>n</sub>\_LSB 내지 A<sub>m</sub>\_LSB가 각 상위 바이트 영역에 속하는 임의의 비트에서 제공되는 점이 다르다.

A<sub>n</sub>\_LSB 내지 A<sub>m</sub>\_LSB는 상위 바이트 영역이 사용되지 않는 모드에서 상위 바이트에 해당하는 데이터를 하위 바이트 영역으로 전환하기 위해 사용되는 신호이다.

도12a는 본 발명에 의한 스위치 어레이(400)의 구성을 나타낸다. 스위치 어레이(400)는 I/O 버스와 센스 앤프 어레이(30)의 사이에 위치하여 데이터의 대역폭을 변환하는 장치이다.

I/O 버스는 하위 바이트 버스 LB\_BUS와 상위 바이트 버스 UB\_BUS로 구분된다. 하위 바이트 버스 LB\_BUS는 m개의 비트, 상위 바이트 버스 UB\_BUS는 n개의 비트로 구성된다. 하위 바이트 버스 LB\_BUS는 데이터 입출력 버퍼의 하위 바이트 영역(510)과 연결되고 상위 바이트 버스 UB\_BUS는 데이터 입출력 버퍼의 상위 바이트 영역(520)과 연결된다. 센스 앤프 어레이(30)에 포함된 각각의 센스앰프는 하위 바이트 영역(31)과 상위 바이트 영역(32)으로 구분된다.

스위치 어레이(400)는 하위 바이트 버스 LB\_BUS와 센스 앤프 어레이(30)의 하위 바이트 영역(31)을 연결하는 제1 스위치(410), 하위 바이트 버스 LB\_BUS와 센스 앤프 어레이(30)의 상위 바이트 영역(32)을 연결하는 제2 스위치(420), 및 상위 바이트 버스 UB\_BUS와 센스 앤프 어레이(30)의 상위 바이트 영역(32)을 연결하는 제3 스위치(430)를 포함한다.

제2 스위치(420)는 n 개의 센스 앤프 신호 중에서 m개씩 선택적으로 하위 바이트 버스 LB\_BUS에 전달하는 스위치이다.

도12b는 도12a에 개시된 구성요소를 제어하는 신호를 추가로 도시한다. 제어신호 LB\_EN 및 Byte\_EN을 OR 연산한 결과를 이용하여 데이터 입출력 버퍼(500)의 하위 바이트 영역(510)을 제어한다. 제1 스위치(410)의 온오프는 제어신호 LB\_SW\_EN에 의해 제어된다. 제2 스위치(420)의 온오프는 제어신호 Byte\_SW\_EN에 의해 제어된다. 제3 스위치(430)의 온오프는 제어신호 UB\_SW\_EN에 의해 제어된다.

도13은 본 발명에 의한 스위치 어레이(400)의 상세 구성을 나타낸다. 본 실시예에서 제1 스위치(410), 제2 스위치(420), 및 제3 스위치(430)는 모두 동일한 구성을 갖는다. 각 스위치는 모두 m개 또는 n개의 트랜스미션 게이트가 병렬로 배열된 구조이다. 제1 스위치(410)인 경우에는 각 트랜스미션 게이트는

LB\_SW\_EN에 의해 제어되고, 제2 스위치(420)인 경우에는 각 트랜스미션 게이트는 Byte\_SW\_EN에 의해 제어되며, 제3 스위치(430)인 경우에는 각 트랜스미션 게이트는 UB\_SW\_EN에 의해 제어된다.

도14는 본 발명에 의한 센스앰프 어레이(30) 및 칼럼 디코더(200) 관련 구성을 나타낸다. 전술한 바와 같이 센스앰프 어레이(30)에 포함된 각각의 센스앰프는 하위 바이트 영역(31)과 상위 바이트 영역(32)으로 구성된다. 각각의 센스앰프는 칼럼 디코더(200)의 출력신호 Y<n> 내지 Y<n> 중 어느 하나에 의해 제어된다.

도15는 본 발명에 의한 스위치 제어부(300)의 신호 발생부의 상세 회로를 나타낸다. 스위치 제어부(300)는 외부에서 제어신호 A\_LSB, /Byte, /LB, 및 /UB를 제공받는다.

/Byte 신호는 하위 바이트 영역의 활성화 여부를 결정하는 신호이다. /Byte 신호는 버퍼에 입력되고 버퍼에서 Byte\_BUF 신호가 출력된다. Byte\_BUF를 인버터에 입력하면 인버터에서 Byte\_EN 신호가 출력된다. 따라서 /Byte 신호가 '로우'이면 Byte\_EN 신호가 '하이'가 된다.

/LB 신호는 하위 바이트의 활성화 여부를 결정하는 신호이다. /LB를 버퍼링한 신호와 Byte\_BUF 신호를 AND 연산한 후에 인버팅을 하면 LB\_EN 신호가 발생한다. 즉 /Byte 신호가 '로우'일 때 Byte\_BUF 신호는 '로우'이므로 /LB 신호에 무관하게 LB\_EN 신호가 '하이'가 된다. 반대로 /Byte 신호가 '하이'일 때 Byte\_BUF 신호는 '하이'이므로 /LB 신호에 따라서 LB\_EN 신호가 활성화 된다.

/UB 신호는 상위 바이트의 활성화 여부를 결정하는 신호로써 /UB를 버퍼링한 신호를 인버팅한 신호와 Byte\_BUF 신호를 AND 연산하면 UB\_EN이 발생한다. 즉 /Byte 신호가 '로우'일 때 Byte\_BUF 신호는 '로우'이므로 /LB 신호에 무관하게 UB\_EN 신호가 '로우'가 된다. 반대로 /Byte 신호가 '하이'일 때 Byte\_BUF 신호는 '하이'이므로 /UB 신호에 따라서 UB\_EN 신호가 활성화 된다.

A\_LSB 신호는 상위 바이트의 데이터를 하위 바이트의 데이터로 전환하기 위한 신호로써 A\_LSB 신호와 Byte\_EN 신호를 AND 연산하면 A\_LSB\_0이 발생하고 A\_LSB 신호와 Byte\_EN 신호를 AND 연산하고 이를 인버팅하면 A\_LSB\_1이 발생한다. 즉 /Byte 신호가 '로우'일 때 Byte\_EN 신호는 '하이'이므로 A\_LSB 신호에 따라서 A\_LSB\_1 또는 A\_LSB\_0 중 한 신호는 활성화된다. 반대로 /Byte 신호가 '하이'일 때 Byte\_EN 신호는 '로우'이므로 A\_LSB 신호에 무관하게 A\_LSB\_0 신호는 항상 '하이', A\_LSB\_1은 항상 '하이'로 비활성화된다.

도16은 본 발명의 데이터 버스 관련 스위치 어레이(400)의 각 스위치에 제공되는 제어신호를 발생시키는 상세 회로의 구성을 나타낸다. 각각의 제어신호는 칼럼 디코더(200)의 출력 Y<n>이 활성화된 경우에만 활성화된다.

제1 스위치(410)의 온오프를 제어하는 제어신호 LB\_SW\_EN은 A\_LSB\_0과 칼럼 디코더(200)의 출력 Y<n>을 AND 연산하여 얻는다.

제2 스위치(420)의 온오프를 제어하는 제어신호 Byte\_SW\_EN은 A\_LSB\_1, Byte\_EN, 및 칼럼 디코더(200)의 출력 Y<n>을 AND 연산하여 얻는다.

제3 스위치(430)의 온오프를 제어하는 제어신호 UB\_SW\_EN은 Byte\_EN을 인버팅한 신호, UB\_EN, 및 칼럼 디코더(200)의 출력 Y<n>을 AND 연산하여 얻는다.

도17은 본 발명에 의한 스위치 어레이(400), 센스앰프 어레이(30), 및 데이터 입출력 버퍼(500)의 동작을 나타내는 타이밍도이다.

도17a는 제1 스위치(410)만 활성화되어 센스앰프 어레이의 하위 바이트 영역(31)에 있는 데이터가 데이터 입출력 버퍼(500)의 하위 바이트 영역(510)에 제공되는 경우에 대한 타이밍도이다. 이 경우는 /Byte 신호가 '하이'로 비활성화되고, /LB는 '로우'로 활성화되며, /UB는 '하이'로 비활성화된 경우이다. 이때 Byte\_EN은 '로우', Byte\_BUF는 '하이', LB\_EN은 '하이', UB\_EN은 '로우', A\_LSB\_0은 '하이', A\_LSB\_1은 '로우'가 된다(도15 참조).

A\_LSB\_0이 '하이'이므로 LB\_SW\_EN은 '하이'가 되고, UB\_SW\_EN이 '로우'가 된다(도16 참조). 따라서 데이터 입출력 버퍼(500)의 상위 바이트 영역(520)이 비활성화된다(도12b 참조). LB\_EN이 '하이'가 되면 LB\_EN과 Byte\_EN을 OR 연산했을 때 그 결과가 '하이'가 되므로 데이터 입출력 버퍼(500)의 하위 바이트 영역(510)이 활성화된다(도12b 참조).

이때 센스 앤프 어레이(30)의 하위 바이트 영역(31)에 있는 데이터는 데이터 입출력 버퍼(500)의 하위 바이트 영역(510)으로 출력된다.

도17b는 제3 스위치(410)만 활성화되어 센스앰프 어레이의 상위 바이트 영역(32)에 있는 데이터가 데이터 입출력 버퍼(500)의 상위 바이트 영역(520)에 제공되는 경우에 대한 타이밍도이다. 이 경우는 /Byte 신호가 '하이'로 비활성화되고, /LB는 '하이'로 비활성화되며, /UB는 '로우'로 활성화된 경우이다. 이때 Byte\_EN은 '로우', Byte\_BUF는 '하이', LB\_EN은 '로우', UB\_EN은 '하이', A\_LSB\_0은 '하이', A\_LSB\_1은 '로우'가 된다(도15 참조).

A\_LSB\_0이 '하이'이므로 LB\_SW\_EN은 '하이'가 되고, UB\_SW\_EN이 '하이'이므로 UB\_SW\_EN이 '하이'가 된다(도16 참조). 따라서 데이터 입출력 버퍼(500)의 상위 바이트 영역(520)이 활성화된다(도12b 참조). LB\_EN이 '로우'가 되면 LB\_EN과 Byte\_EN을 OR 연산했을 때 그 결과가 '로우'가 되므로 데이터 입출력 버퍼(500)의 하위 바이트 영역(510)이 비활성화된다(도12b 참조).

이때 센스 앤프 어레이(30)의 상위 바이트 영역(31)에 있는 데이터는 데이터 입출력 버퍼(500)의 상위 바이트 영역(510)으로 출력된다.

도17c는 제1 스위치(410) 및 제3 스위치(420)가 활성화되어 센스앰프 어레이(30)의 하위 바이트 영역(31)에 있는 데이터가 데이터 입출력 버퍼(500)의 하위 바이트 영역(510)으로 출력되고, 센스앰프 어레이(30)의 상위 바이트 영역(32)에 있는 데이터는 데이터 입출력 버퍼(500)의 상위 바이트 영역(520)으로 출력된다.

력된다. 상세한 동작은 전술한 바와 유사하므로 생략한다.

도17d는 제1 스위치(410)와 제2 스위치(420)가 번갈아가며 활성화되는 경우이다. 이 경우는 /Byte 신호가 '로우'로 활성화되고 A\_LB 및 A\_USB는 '하이'로 비활성화된 경우이다. 이 때 Byte\_EN은 '하이', Byte\_BUF은 '로우', LB\_EN은 '하이', UB\_EN은 '로우'가 되고, A\_LSB\_0은 A\_LSB를 인버팅한 신호가 되고, A\_LSB\_1은 A\_LSB와 같은 값이 된다(도15 참조).

칼럼 디코더(200)의 출력 Y<sub>4</sub>>이 활성화되면, Byte\_EN이 '하이'이므로 UB\_SW\_EN은 '로우', LB\_SW\_EN은 A\_LSB\_0과 같고, Byte\_SW\_EN은 A\_LSB\_1과 같다. 따라서 A\_LSB가 '하이'이면 LB\_SW\_EN은 '로우', Byte\_SW\_EN은 '하이'가 되고, A\_LSB가 '로우'이면 LB\_SW\_EN은 '하이', Byte\_SW\_EN은 '로우'가 된다(도16 참조). 따라서 데이터 입력 버퍼(500)의 상위 바이트 영역(520)은 비활성화되고, 하위 바이트 영역(510)은 활성화된다(도12b 참조).

메모리 장치 내부에서는 데이터가 2바이트 단위로 처리되고 시스템 버스에서는 1바이트 단위로 데이터가 처리되는 경우를 예로 들어 설명한다. 시스템에서는 1바이트 단위로 주소가 지정되고 메모리 장치에서는 2바이트 단위로 주소가 지정된다. 따라서 시스템에서 사용하는 어드레스의 비트수가 메모리에서 사용하는 어드레스보다 하나 더 많아야 한다. 본 발명에서는 부족한 어드레스 비트를 대체하기 위하여 상위 바이트 영역에 속하는 데이터 비트(A\_LSB)를 어드레스 비트로 사용한다(도11 참조).

데이터를 메모리에 저장하는 과정은 다음과 같다. 시스템 버스는 1바이트 단위로 어드레스가 지정되어, 데이터 입력 버퍼(500)의 하위 바이트 영역(510)에 제공된다. 이때 A\_LSB가 '하이'가 되면 A\_LSB\_1이 '하이'가 되어 LB\_SW\_EN이 '로우', Byte\_SW\_EN이 '하이'가 되므로 데이터 입력 버퍼(500)의 하위 바이트 영역(510)은 제1 스위치(410)를 경유하여 센스 앰프 어레이(30)의 하위 바이트 영역(31)과 연결된다. A\_LSB가 '로우'가 되면 A\_LSB\_0이 '하이'가 되어 LB\_SW\_EN이 '하이', Byte\_SW\_EN이 '로우'가 되므로 데이터 입력 버퍼(500)의 하위 바이트 영역(510)은 제2 스위치(420)를 경유하여 센스 앰프 어레이(30)의 상위 바이트 영역(32)과 연결된다.

데이터를 센스 앰프 어레이(30)에서 데이터 입력 버퍼(500)로 읽어오는 과정도 위에 기술된 바와 동일한 방식으로 진행된다.

### **3.5.2. 쟁구의 쓰기**

본 발명은 메모리 장치에서 하나의 어드레스에 의해 지정되는 데이터 중에서 일부만을 읽을 수 있도록 하여 불필요한 에너지 및 대역폭의 낭비를 막을 수 있다.

또한 본 발명은 다양한 시스템의 요구에 적합하도록 데이터의 입력 크기를 효율적으로 변경할 수 있다. 즉 사용하지 않는 데이터 입력 판을 어드레스 비트로 활성화하여 모든 메모리 영역을 사용할 수 있다.

#### **(57) 쟁구의 쓰기**

##### **첨구항 1**

각각 복수개의 데이터 비트를 입력할 수 있는 복수개의 입력 포트와 일대일로 연결된 복수개의 데이터 입력 버퍼;

상기 복수개의 데이터 입력 버퍼와 복수개의 센스 앰프 어레이를 일대일로 연결하는 복수개의 스위치를 포함하는 스위치 어레이; 및

소정의 개수의 외부 제어신호를 디코딩하여 상기 각각의 데이터 입력 버퍼의 활성화 여부 및 상기 스위치 어레이에 포함된 복수개의 스위치의 온오프를 제어하는 스위치 제어부

를 포함하는 것을 특징으로 하는 메모리 장치.

##### **첨구항 2**

복수개의 데이터 비트를 입력하는 하나의 입력 포트가 연결된 데이터 입력 버퍼;

상기 복수개의 데이터 비트 단위로 데이터를 처리하는 상기 데이터 입력 버퍼와 소정의 데이터 비트 단위로 데이터를 처리하는 센스 앰프 어레이 사이에서 상기 데이터를 전달하는 복수개의 스위치를 포함하는 스위치 어레이;

소정의 개수의 외부 제어신호를 디코딩하여 상기 복수개의 스위치의 온오프를 제어하는 스위치 제어부

를 포함하는 것을 특징으로 하는 메모리 장치.

##### **첨구항 3**

각각 복수개의 데이터 비트를 입력할 수 있는 복수개의 입력 포트와 일대일로 연결된 복수개의 데이터 입력 버퍼;

상기 복수개의 데이터 비트 단위로 데이터를 처리하는 상기 데이터 입력 버퍼와 소정의 데이터 비트 단위로 데이터를 처리하는 센스 앰프 어레이 사이에서 상기 데이터를 전달하는 복수개의 스위치를 포함하는 스위치 어레이;; 및

소정의 개수의 외부 제어신호를 디코딩하여 상기 복수개의 데이터 입력 버퍼의 활성화 여부와 상기 복수개의 스위치의 온오프를 제어하는 스위치 제어부

를 포함하는 것을 특징으로 하는 메모리 장치.

**첨구항 4**

2 바이트(1 바이트는 K(자연수) 비트) 개의 데이터 입출력 버퍼;

하위 바이트 영역에 속하는 데이터 입출력 버퍼와 하위 바이트 영역에 속하는 센스 앤프 어레이를 연결하는 복수개의 제1 스위치, 상기 하위 바이트 영역에 속하는 데이터 입출력 버퍼와 상위 바이트 영역에 속하는 센스 앤프 어레이를 연결하는 복수개의 제2 스위치, 상위 바이트 영역에 속하는 데이터 입출력 버퍼와 상위 바이트 영역에 속하는 센스 앤프 어레이를 연결하는 복수개의 제3 스위치를 포함하는 스위치 어레이; 및

소정의 외부 제어신호를 디코딩하여 상기 2 바이트 개의 데이터 입출력 버퍼의 활성화 여부 및 상기 제1 내지 제3 스위치의 온오프를 제어하는 스위치 제어부

를 포함하는 것을 특징으로 하는 메모리 장치.

**첨구항 5**

제 4 항에 있어서, 상기 스위치 제어부는

상기 외부 제어신호 중 하나인 하위 바이트 신호가 활성화되면 상기 제1 스위치를 온 상태로 하고 입출력 포트와 연결된 상기 데이터 입출력 버퍼의 하위 바이트 영역을 활성화하며, 상기 외부제어신호 중 하나인 상위 바이트 신호가 활성화되면 상기 제3 스위치를 온 상태로 하고 입출력 포트와 연결된 상기 데이터 입출력 버퍼의 상위 바이트 영역을 활성화하는 것을 특징으로 하는 메모리 장치.

**첨구항 6**

제 4 항에 있어서, 상기 데이터 입출력 버퍼는

입출력 포트와 연결되며 활성화된 하위 바이트 영역; 및

비활성화된 상위 바이트 영역

을 포함하고 상기 상위 바이트 영역과 연결된 입력핀을 중에서 소정의 핀을 추가 어드레스 입력핀으로서 사용하는 것을 특징으로 하는 메모리 장치.

**첨구항 7**

제 6 항에 있어서, 상기 스위치 제어부는

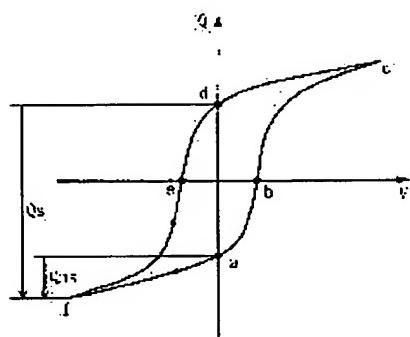
상기 추가 어드레스 입력핀을 통해 입력된 추가 어드레스 비트가 '0'이면 상기 제1 스위치를 활성화하고, 상기 추가 어드레스 비트가 '1'이면 상기 제2 스위치를 활성화하는 것을 특징으로 하는 메모리 장치.

**첨구항 8**

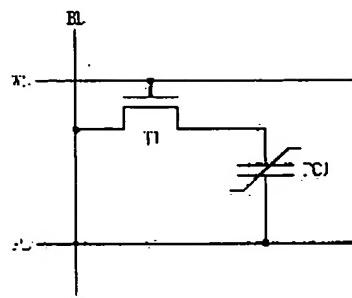
제 4 항에 있어서, 상기 스위치 제어부는

상기 외부 제어신호에 포함된 바이트 신호가 활성화된 경우에는 상기 데이터 입출력 버퍼의 상위 바이트 영역을 비활성화한 후 상기 상위 바이트 영역과 연결된 입력핀을 통한 하나로 입력된 추가 어드레스 비트가 '1'이면 제2 스위치를 활성화하고, 상기 추가 어드레스 비트가 '0'이면 제1 스위치를 활성화하며,

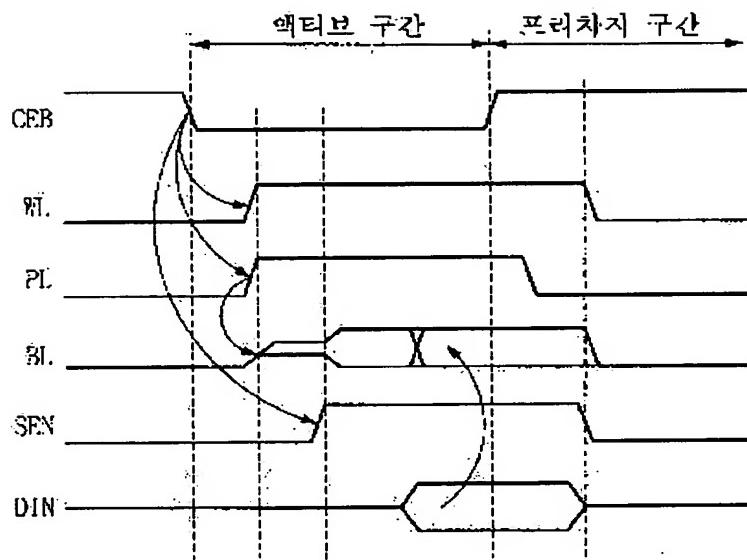
상기 바이트 신호가 비활성화된 경우에는 상기 외부 제어신호에 포함된 하위 바이트 신호가 활성화되면 상기 제1 스위치를 온 상태로 하고 상기 데이터 입출력 버퍼의 하위 바이트 영역을 활성화하며, 상기 외부 제어신호에 포함된 상위 바이트 신호가 활성화 되면 상기 제3 스위치를 온 상태로 하고 상기 데이터 입출력 버퍼의 상위 바이트 영역을 활성화 하는 것을 특징으로 하는 메모리 장치.

**도면****도면 1**

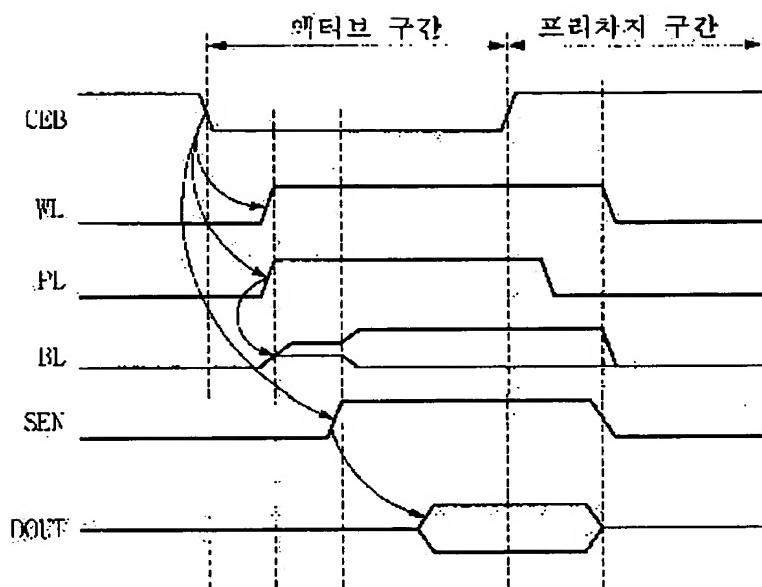
도면2



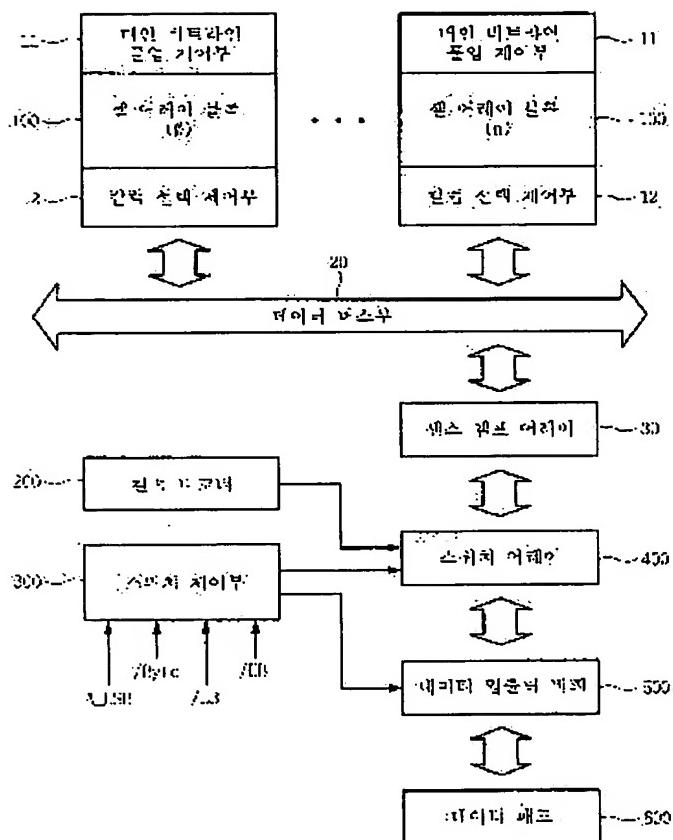
도면3a



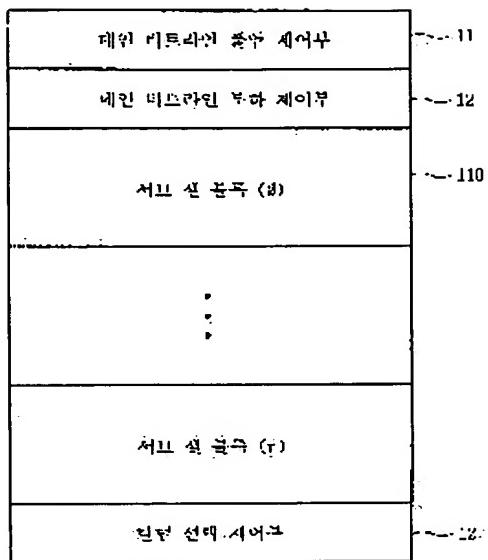
도면3b



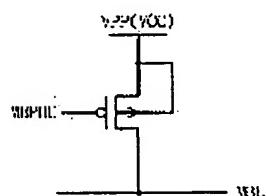
도면4



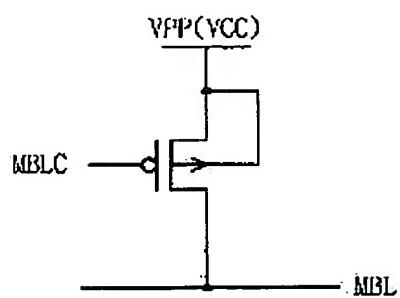
585



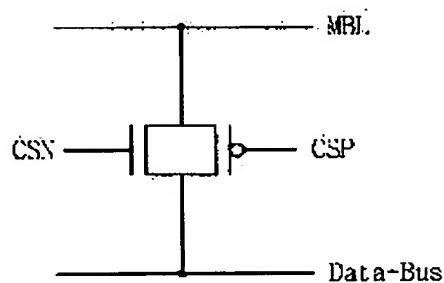
528



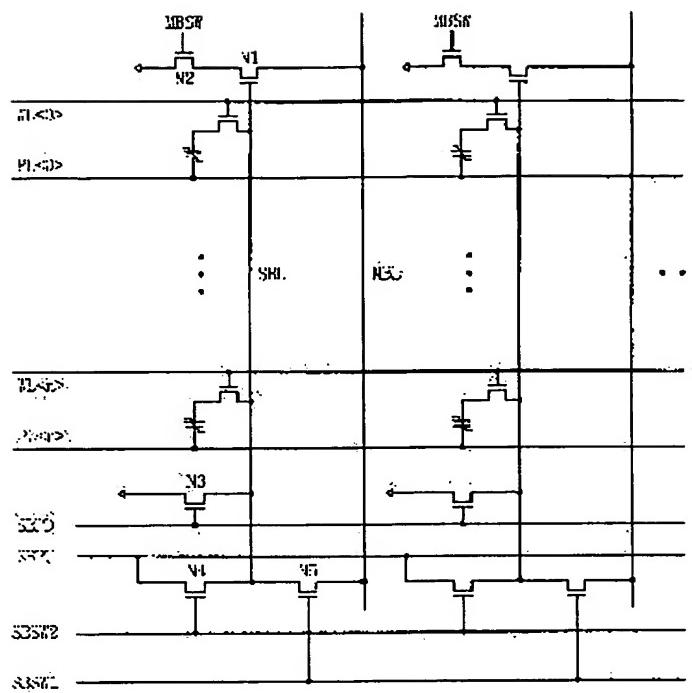
도면7



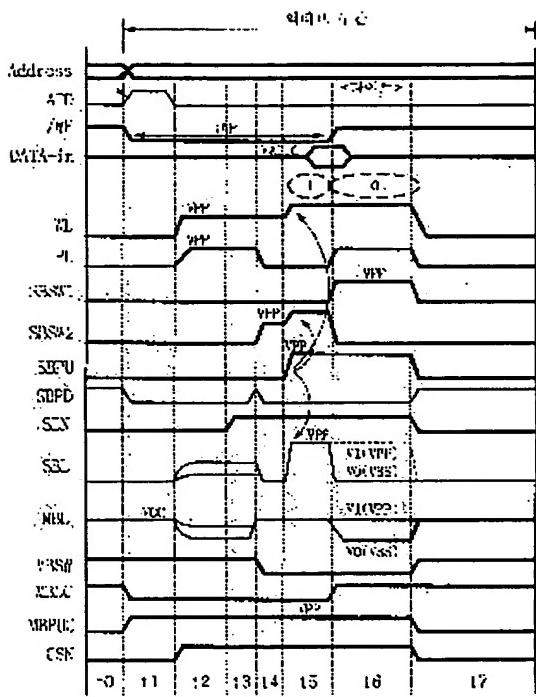
도면8



5000

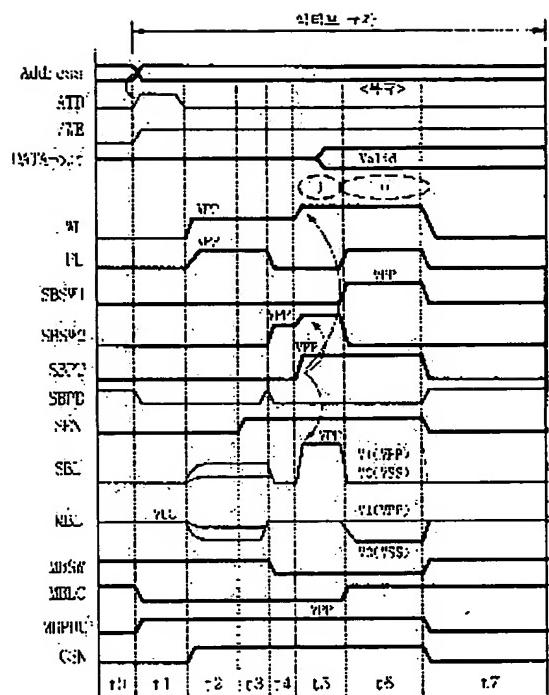


도면 10a



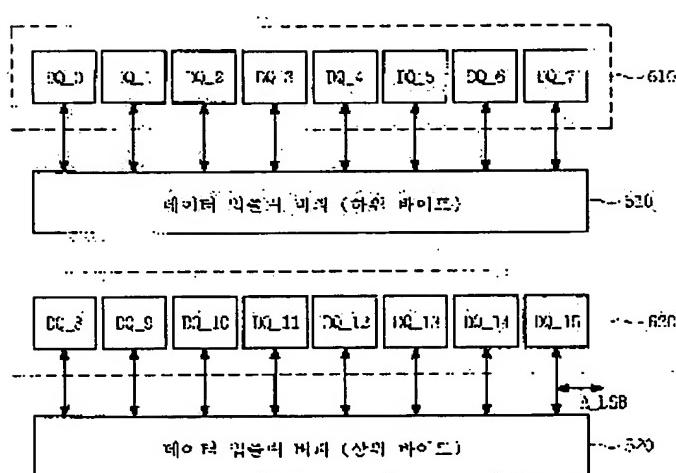
BEST AVAILABLE COPY

도면10b

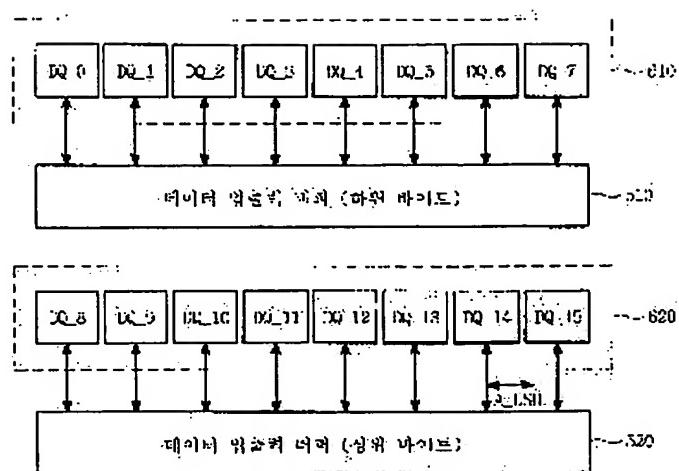


BEST AVAILABLE COPY

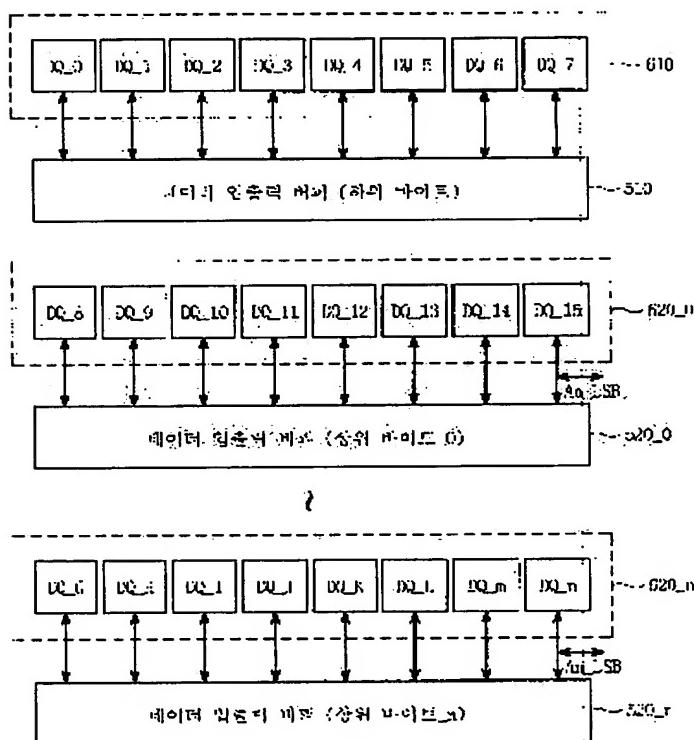
도면11a



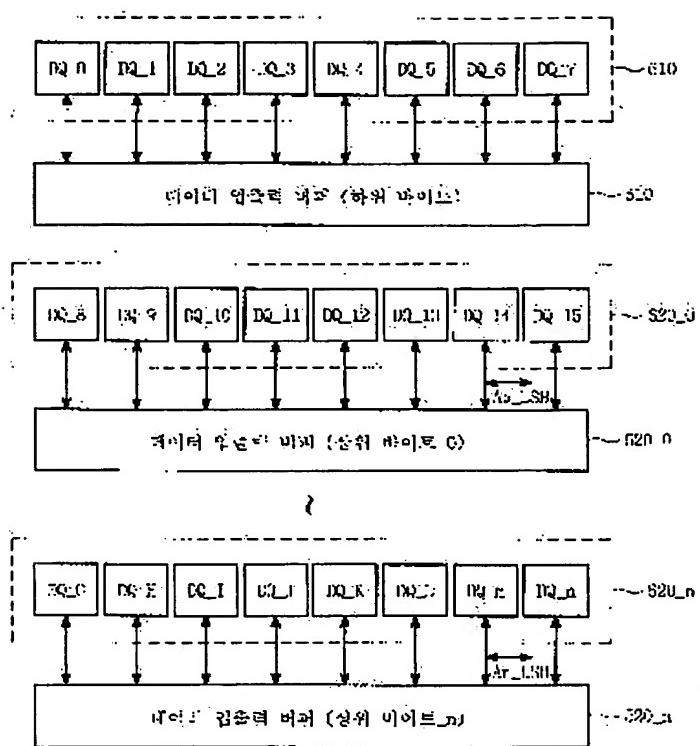
도면11b



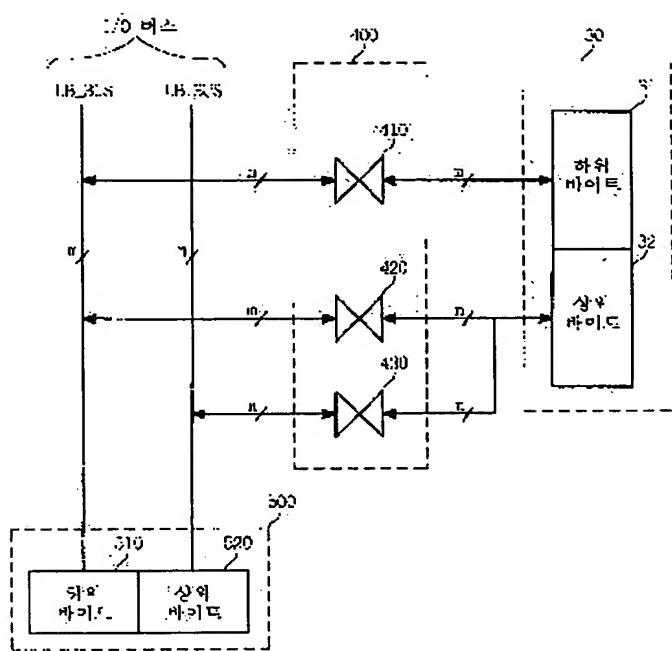
도면11c



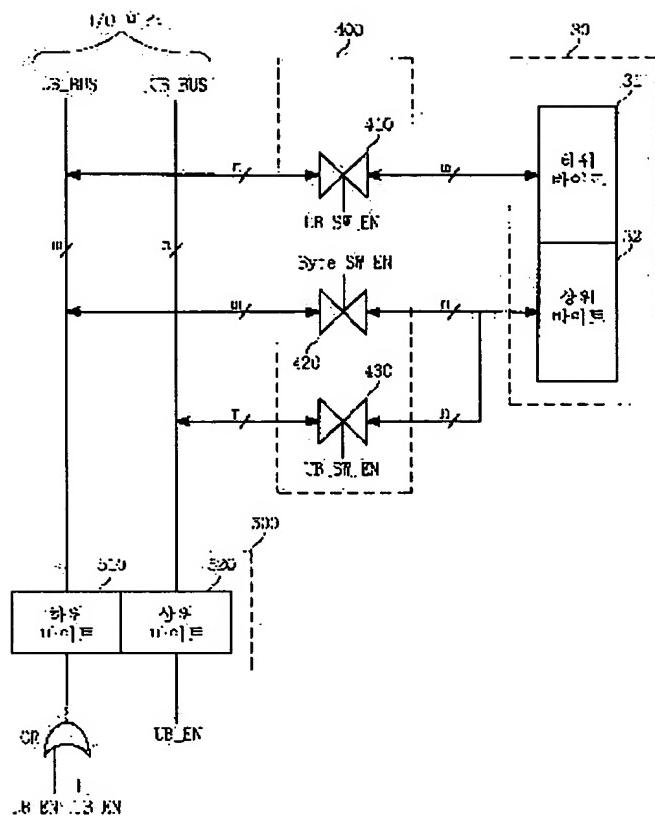
도면11d



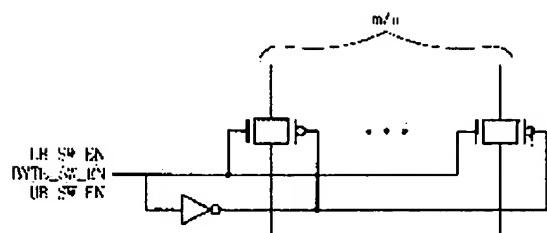
도면12a



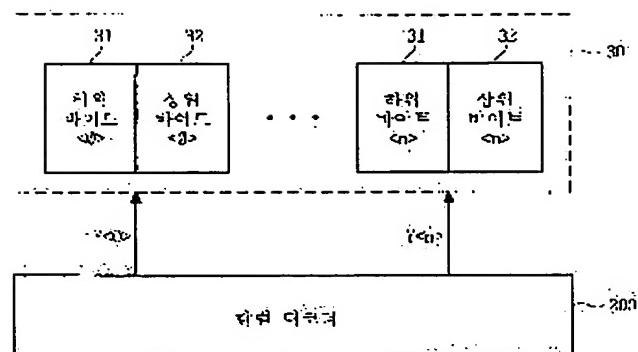
도면12b



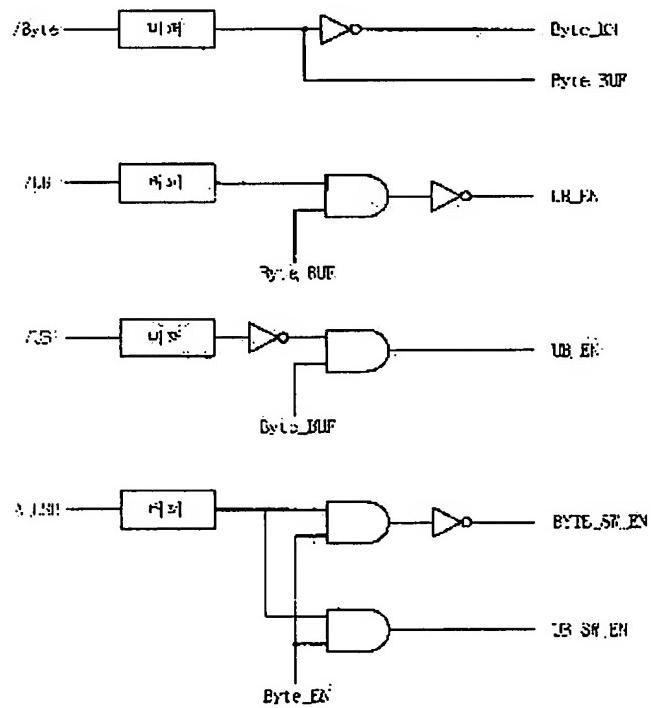
도면13



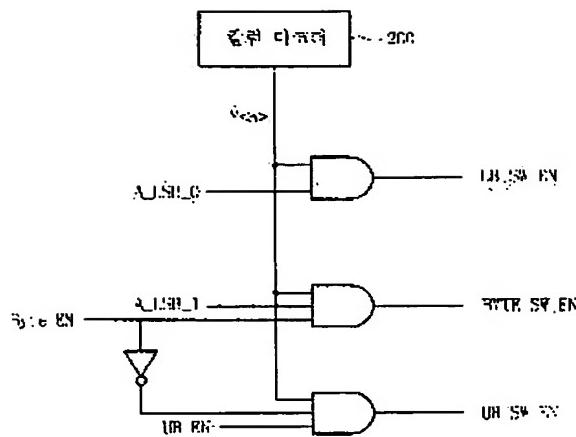
도면14



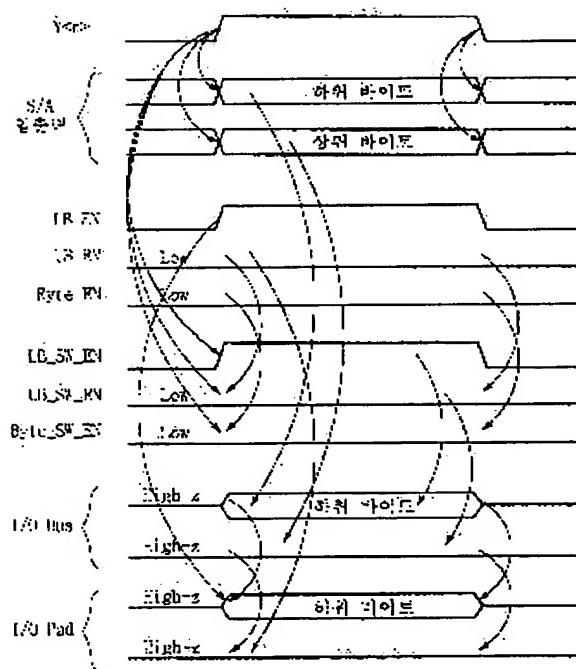
도면15



도면16

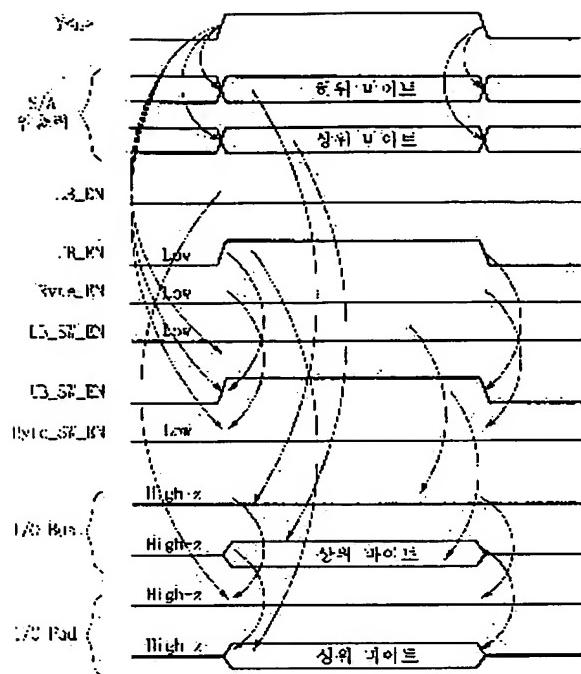


도면17a



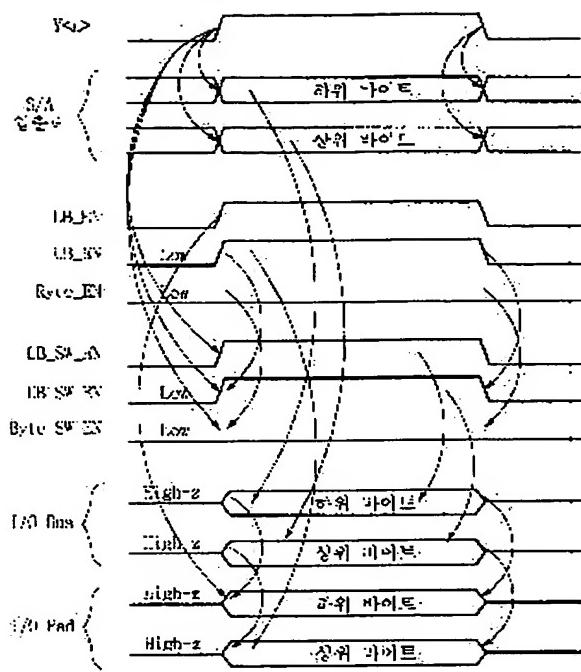
BEST AVAILABLE COPY

도면 17b



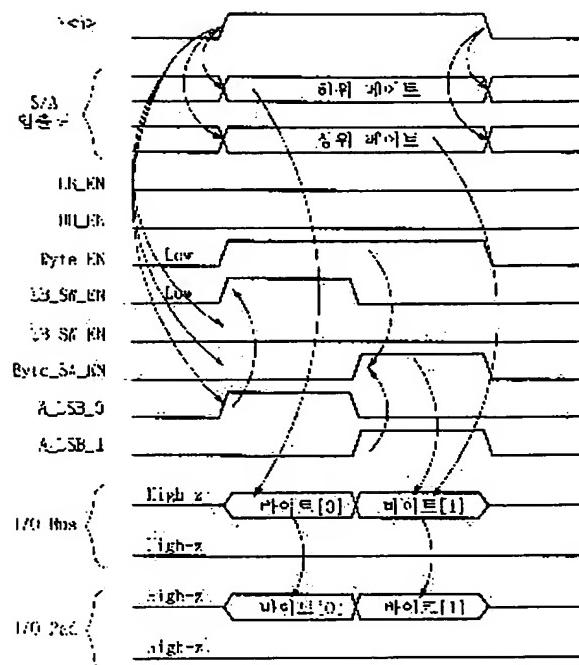
BEST AVAILABLE COPY

도면 170



BEST AVAILABLE COPY

도면 17d



BEST AVAILABLE COPY